

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-082938

(43)Date of publication of application : 28.03.1997

(51)Int.Cl.

H01L 29/00  
G06F 17/50  
H01L 29/78  
H01L 21/336

(21)Application number : 07-258113

(71)Applicant : RICOH CO LTD

(22)Date of filing : 11.09.1995

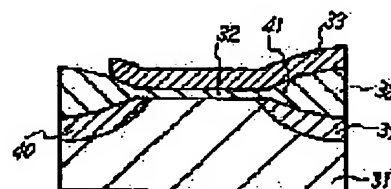
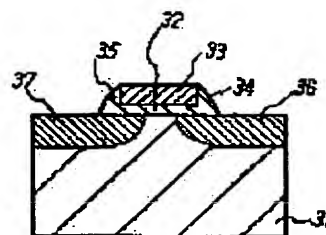
(72)Inventor : AGARI HIDEKI

## (54) SIMULATION METHOD OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To enable high precision analysis of prediction or the like of characteristics change of narrow channel effect or the like, by correcting the device simulation results in the two-dimensional device simulation by multiplying an extracted correlation coefficient, and outputting the corrected device simulation results.

**SOLUTION:** Firstly, sectional structure in the two directions of an MOS transistor, i.e., an A-A' section and a B-B' section along the channel length direction are extracted. Secondly, the form of a bird's beak 41 of an element isolation film 38 and the concentration file of channel stopper regions 39, 34 are extracted. On the basis of the extracted data, a correlation coefficient of electric characteristics is extracted from a correlation data base. Thirdly, two-dimensional device simulation is performed by using the A-A' section, and ampere-volt (I-V) characteristic is calculated. By multiplying the obtained I-V characteristic by the correlation coefficient, correction for adding three-dimensional effect is performed. The results after the correction are outputted.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-82938

(43)公開日 平成9年(1997)3月28日

(51)Int.Cl.*	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/00			H 0 1 L 29/00	
G 0 6 F 17/50			G 0 6 F 15/60	6 1 2 A
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 Z
21/336				

審査請求 未請求 請求項の数 3 F D (全 5 頁)

(21)出願番号 特願平7-258113

(22)出願日 平成7年(1995)9月11日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 上里 英樹

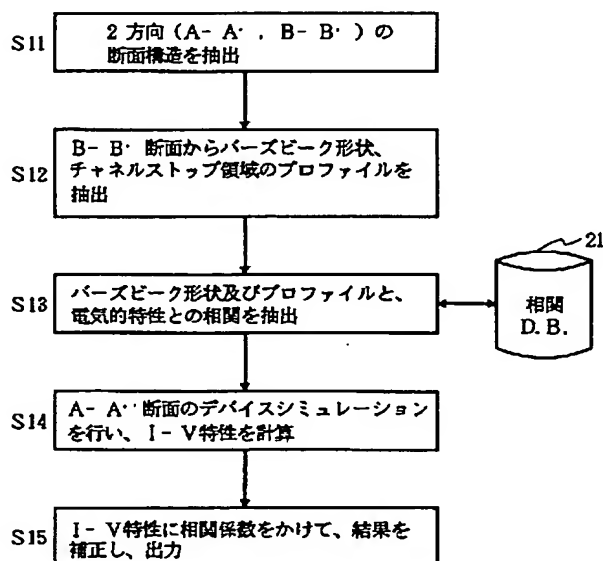
東京都大田区中馬込1丁目3番6号 株式  
会社リコー内

(54)【発明の名称】 半導体デバイスのシミュレーション方法

(57)【要約】

【課題】 通常の3次元デバイスシミュレーションのように多大な計算時間とメモリ量を必要とすることなく、簡易かつ比較的高精度に半導体デバイスのシミュレーションを行うことを可能にする。

【解決手段】 半導体デバイスの2方向の断面構造を抽出し、この抽出した断面構造からバースビーク形状およびチャネルストップ領域の濃度プロファイルを抽出し、バースビーク形状および濃度プロファイルとトランジスタの電気的特性との相関を表す相関係数を抽出し、半導体デバイスの1方向の断面構造に基づき、2次元デバイスシミュレーションを行い、この2次元デバイスシミュレーションによるデバイスシミュレーション結果に上記相関係数を乗ずる補正を行って出力する。これにより、3次元的な効果を2次元のシミュレーションから予測することができ、短い計算時間かつ少ないメモリ量で3次元的效果を取り込める。



## 【特許請求の範囲】

【請求項 1】 半導体デバイスの 2 方向の断面構造を抽出する断面構造抽出ステップと、抽出した断面構造からバースビーク形状およびチャネルストップ領域の濃度プロファイルを抽出するステップと、バースビーク形状および濃度プロファイルとトランジスタの電気的特性との相関を表す相関係数を抽出する相関抽出ステップと、半導体デバイスの 1 方向の断面構造に基づき、2 次元デバイスシミュレーションを行うステップと、この 2 次元デバイスシミュレーションによるデバイスシミュレーション結果に前記抽出された相関係数を乗ずる補正を行い、この補正したデバイスシミュレーション結果を出力するステップとを含むことを特徴とする半導体デバイスのシミュレーション方法。

【請求項 2】 前記断面構造抽出ステップは、実測により抽出したデバイス形状および濃度プロファイルを基に 2 次元の断面構造を作成することを特徴とする請求項 1 記載の半導体デバイスのシミュレーション方法。

【請求項 3】 前記相関抽出ステップは、電気的特性ごとにバースビーク形状とその長さ、およびチャネルストップ領域の濃度プロファイルの形状や濃度による特性の変化を格納した相関データベースを用いて相関係数を抽出することを特徴とする請求項 1 記載の半導体デバイスのシミュレーション方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、例えば MOSFET 等の半導体デバイスを設計する際に用いられるシミュレーション方法に関する。

## 【0002】

【従来の技術】 2 次元デバイスシュミレータが現在デバイス設計に広く使われているが、VLSI デバイスの微細化に伴い 3 次元空間での解析の必要性が増している。特に、近年の VLSI デバイスで用いられている最小の MOS トランジスタは、チャネル長およびチャネル幅が共にサブミクロンオーダーと微細化しており、狭チャネル効果により、様々な特性の変化が起こる。このため、このようなデバイスの解析には 3 次元デバイスシュミレータが必要不可欠である。

【0003】 このような 3 次元デバイスシミュレーションを用いた半導体デバイスの解析例が、例えば「最新半導体プロセス・デバイスシミュレーション技術」（リアライズ社、P357〜）に記載されている。しかしながら、この文献にも記載されているように、従来の 3 次元デバイスシミュレーションにおいては、格子点数の増大による計算時間およびメモリ量の増加が最大の問題となる。このうち、計算時間の削減のためには、スーパーコンピュータを使用してベクトル化を行うとともに、プロ

セッサをアレイ状に組んでハードウェアによって行列解法を実現する試みもなされているが、メモリ量を削減する有効な手だてではない。

【0004】 また、例えば「SMART；スーパーコンピュータ上の 3 次元プロセス/デバイス統合化シュミレータ」（SDM87-76 信学技法）には、スーパーコンピュータを用いた 3 次元デバイスシミュレーションの結果が示され、そのプロセスモデルおよびデバイスモデルとともにその必要性が示されている。特に、この文献の 21 ページには、簡易なモデルとして、LOCOS 法 (Local Oxidation of Silicon) により形成された素子分離膜のバースビークの形状に関連したパラメータ ( $\theta$ ) によってドレイン電流が変化するという擬 3 次元プロセスモデルが示されている。

## 【0005】

【発明が解決しようとする課題】 しかしながら、上記文献 (SDM87-76 信学技法) に示された簡易モデルは、ドレイン電流以外の電気的特性 (しきい値電圧  $V_{th}$  やアバランシェブレイクダウン電圧等) の解析には応用できず、また、時として無視できない要因となるチャネルストップ領域の濃度プロファイル (濃度分布) が上記の電気的特性に与える影響について解析することもできなかった。そこで、本発明の目的は、従来の 3 次元デバイスシミュレーションのように多大な計算時間とメモリ量とを必要とすることなく、かつ狭チャネル効果等の特性変化の予測等の解析を 2 次元デバイスシミュレーションよりも高精度に行うことができる半導体デバイスのシミュレーション方法を提供することにある。

## 【0006】

【課題を解決するための手段】 請求項 1 記載の発明では、半導体デバイスの 2 方向の断面構造を抽出する断面構造抽出ステップと、抽出した断面構造からバースビーク形状およびチャネルストップ領域の濃度プロファイルを抽出するステップと、バースビーク形状および濃度プロファイルとトランジスタの電気的特性との相関を表す相関係数を抽出する相関抽出ステップと、半導体デバイスの 1 方向の断面構造に基づき、2 次元デバイスシミュレーションを行うステップと、この 2 次元デバイスシミュレーションによるデバイスシミュレーション結果に前記抽出された相関係数を乗ずる補正を行い、この補正したデバイスシミュレーション結果を出力するステップとを含めることで前記目的を達成する。この発明では、バースビーク形状および濃度プロファイルとトランジスタの電気的特性との間の相関係数が補正項として抽出され、これが半導体デバイスの 1 方向の断面構造に基づく 2 次元デバイスシミュレーションの結果に乗ぜられる。この結果、3 次元デバイスシミュレーションを行うことなく 2 次元でのシミュレーションを行うだけでも、ある程度の精度 (擬 3 次元的効果を考慮した精度) をもって狭チャネル効果等の特性変化の予測が可能となる。

【0007】請求項2記載の発明では、請求項1記載の半導体デバイスのシミュレーション方法において、前記断面構造抽出ステップが、実測により抽出したデバイス形状および濃度プロファイルを基に2次元の断面構造を作成することで前記目的を達成する。この発明では、2次元の断面構造の作成は、実測により抽出したデバイス形状および濃度プロファイルを基に行われる。

【0008】請求項3記載の発明では、請求項1記載の半導体デバイスのシミュレーション方法において、前記  
10 関連抽出ステップが、電気的特性ごとにバースピーク形状とその長さ、およびチャネルストップ領域の濃度プロファイルの形状や濃度による特性の変化を格納した関連データベースを用いて相関係数を抽出することで前記目的を達成する。この発明では、バースピークの形状とバースピークの長さおよびチャネルストップ領域の濃度プロファイルの形状や濃度により、それぞれの電気的特性がどのように変化するかをデータベース化し、これを基に相関係数を求めるようにしているため、シミュレーション精度が向上する。

【0009】

【発明の実施の形態】以下、本発明の好適な実施の形態について図1ないし図4を参照して詳細に説明する。図1は、本発明の一実施の形態にかかる半導体デバイスのシミュレーション方法を表すものである。ここでは、図2ないし図4に示すようなMOSトランジスタを対象とする場合について説明する。なお、図2は、MOSトランジスタの各層レイアウトを示す平面図、図3は、図2におけるチャネル長方向の断面図（A-A'断面）、図3は、図2におけるチャネル幅方向の断面図（B-B'断面）である。

【0010】まず、シミュレーションの対象であるMOSトランジスタの構造について簡単に説明する。図2および図3に示すように、このMOSトランジスタは、シリコン基板31上にシリコン酸化膜からなるゲート酸化膜32を介して形成されたゲート電極33と、その両側に形成された絶縁膜側壁34、35と、ゲート電極33と自己整合的にシリコン基板31の表面領域に形成されたソース・ドレイン領域としての不純物拡散領域36、37とを備えている。また、図4に示すように、各素子活性領域は、シリコン酸化膜からなる素子分離膜38によって分離されている。素子分離膜38の下側には、意図しない反転層の形成を防止して表面リーク電流を抑制するための高濃度不純物領域であるチャネルストップ領域39、40が形成されている。

【0011】次に、このようなMOSトランジスタのデバイスシミュレーション方法を説明する。図1において、まず、MOSトランジスタの2つの方向における断面構造、すなわちチャネル長方向に沿ったA-A'断面（図3）とB-B'断面（図4）とを抽出する（ステップ11）。ここで、A-A'断面は通常のMOSトラン

ジスタの2次元シミュレーションを行うためのものであり、B-B'断面はチャネルに影響を与える素子分離膜38の端部のバースピーク41の形状やチャネルストップ領域39、40の濃度プロファイルを抽出するためのものである。これらの断面構造の抽出方法としては、SIMS（二次イオン質量分析法）やSEM（走査型電子顕微鏡）写真等のように実際のデバイスを基に抽出する方法と、「SUPREM-4」等のように2次元プロセス・シュミレータの結果を用いる方法とが考えられる。

10 【0012】次に、B-B'断面（図4）から、素子分離膜38のバースピーク41の形状とチャネルストップ領域39、40の濃度プロファイル（10）とを抽出する（ステップ12）。そして、これらの抽出データを基に、関連データベース21から電気的特性の相関係数を抽出する（ステップ13）。関連データベース21は、バースピーク41の形状および長さやチャネルストップ領域の濃度プロファイルの形状および広がり、後述するMOSトランジスタの電気的特性（しきい値電圧 $V_{th}$ 、ドレイン電流、アバランシェブレークダウン耐圧等）とどのような相関関係を有するかをデータベース化して格納したものである。

【0013】続いて、A-A'断面（図3）を用いて2次元デバイスシミュレーションを行い、I-V特性（電流-電圧特性）を計算する（ステップ14）。こうして得られたI-V特性にステップ13で求めた相関係数を乗ずることにより、3次元的效果を付加する補正を行う。そして、その補正後の結果を出力する（ステップ15）。

30 【0014】次に、このようなシミュレーション方法によって半導体デバイスの電気的特性のシミュレーションを行う場合の具体例について説明する。第1はしきい値電圧 $V_{th}$ のシミュレーションである。しきい値電圧 $V_{th}$ は、チャネルストップ領域39、40の濃度分布の影響によって変化する場合がある。例えばNMOSトランジスタの場合、チャネルストップ領域39、40の不純物（ボロン（B））が拡散しすぎると、チャネル領域の濃度に影響を及ぼし、 $V_{th}$ が上昇する。そこで、チャネルストップ領域の濃度および広がりを $V_{th}$ と関連させてデータベース21にデータベース化しておき、A-A'断面に基づき2次元デバイスシミュレーションにより求めた $V_{th}$ に、3次元的效果である $V_{th}$ の上昇分 $\Delta V_{th}$ を加える補正を行うことで、最終的なしきい値電圧を得ることができる。

【0015】第2は、バースピーク形状によるドレイン電流のシミュレーションである。 $V_d-I_d$ 特性のようなドレイン電流（ドレインからソースに流れる電流）を考慮するときには、トランジスタ幅の実効値（ $W_{eff}$ ）を決める必要がある。そこでこの場合は、素子分離膜38のバースピーク形状とチャネルストップ領域39、40の濃度プロファイルがトランジスタ幅の実効値

にどの程度の影響を与えるかという相関関係をデータベース21にデータベース化しておく。例えば、文献SD M87-76「SMART：スーパーコンピュータ上の3次元プロセス/デバイス統合化シュミレータ」の図5に示されているように、素子分離膜のバースピーク角度とドレイン電流の変化との間には一定の相関がある。Weffが決まれば、A-A'断面に基づく2次元デバイスシミュレーションにより求めた単位幅当りの電流値にWeffを乗ずることにより、ドレイン電流を求めることができる。

【0016】第3は、アバランシェブレイクダウン耐圧のシミュレーションである。上記文献に示されているように、2次元モデルと3次元モデルとでは、アバランシェブレイクダウン耐圧に差異が生ずる。これは、チャンネルストップ領域へ流入する基板電流によって引き起こされる実際上の寄生バイポーラ動作の影響が、A-A'断面に基づく2次元デバイスシミュレーションで得られる結果に比べて小さいため、アバランシェブレイクダウン耐圧が上昇するからである。

【0017】そこで、この基板電流の原因となる衝突電離によるキャリア生成と、バースピーク形状およびチャンネルストップ領域濃度との相関関係をデータベース21にデータベース化しておき、アバランシェブレイクダウンに關与する基板電流の実効値を決定することにより、3次元効果をも考慮したアバランシェブレイクダウン耐圧を導出する。以上のように、所望の電気的特性に応じて相関係数を導出し、これを2次元デバイスシミュレーションによる結果に反映させることにより、擬似的な3次元デバイスシミュレーションを行うことができる。

【0018】なお、本実施形態では、MOSトランジスタのバースピークを説明したが、これに限定されるものではなく、バイポーラトランジスタにも適用することができる。

【0019】

\*【発明の効果】請求項1記載の発明によれば、通常の2次元デバイスシミュレーションの結果を補正するようにしたので、3次元デバイスシミュレーションを行うことなく、3次元的な効果を2次元のシミュレーションから予測することができる。このため、短い計算時間かつ少ないメモリ量で3次元の効果を取り込むことができる。

【0020】また、請求項2記載の発明によれば、実測を基にデバイスの断面構造を作成するようにしたので、より精度の高いシミュレーションを行うことが可能となる。

【0021】請求項3記載の発明によれば、電気特性ごとの補正係数を求めるために必要なバースピーク形状およびチャンネルストップ領域の濃度分布と電気的特性の相関関係を記述したデータを予めデータベース化して格納するようにしたので、効率よくかつ正確に補正係数（相関係数）を導出することができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態に係る半導体装置のシミュレーション方法を表すフローチャートである。

【図2】図1のシミュレーション方法の対象であるMOSトランジスタの平面構成を表す平面図である。

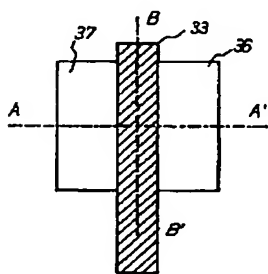
【図3】図2におけるA-A'断面構成を表す断面図である。

【図4】図2におけるB-B'断面構成を表す断面図である。

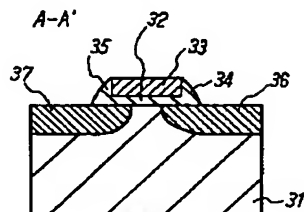
【符号の説明】

- 21 相関データベース
- 31 シリコン基板
- 32 ゲート絶縁膜
- 33 ゲート電極
- 36、37 不純物拡散層（ソース・ドレイン領域）
- 38 素子分離膜
- 39、40 チャンネルストップ領域
- 41 バースピーク

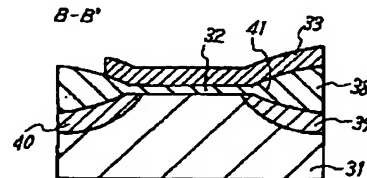
【図2】



【図3】



【図4】



【図1】

